

**WEST****End of Result Set**

Generate Collection

Print

L1: Entry 1 of 1

File: JPAB

Jul 20, 1984

PUB-NO: JP359125650A

DOCUMENT-IDENTIFIER: JP 59125650 A

TITLE: SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

PUBN-DATE: July 20, 1984

## INVENTOR-INFORMATION:

NAME

COUNTRY

KOBAYASHI, HIROSHI

MIZUTANI, YOSHIHISA

## ASSIGNEE-INFORMATION:

NAME

COUNTRY

TOSHIBA CORP

APPL-NO: JP58000840

APPL-DATE: January 7, 1983

US-CL-CURRENT: 257/369

INT-CL (IPC): H01L 27/08; H01L 29/78

## ABSTRACT:

PURPOSE: To perform high speed of a semiconductor device by forming different electrode materials of work functions at the side facing the element region of the first and second gate electrode, thereby shallowly forming the threshold voltages of N-channel and P-channel MOS transistors.

CONSTITUTION: P type well region 2 and N type polycrystalline silicon patterns 51, 52 are formed on an N type silicon substrate 1, and ions are implanted selectively to form an arsenic ion implanted layer 7 and a boron ion implanted layer 9. The pattern 52 is etched to the thickness of approx. half, an Mo film 11 is deposited and heat treated. MoSi<sub>2</sub> films 121, 122 are formed, the layers 7, 9 are activated to form N+ type source and drain regions 13, 14 and P+ type source and drain regions 15, 16, and an N-channel transistor having the first gate electrode of 2-layer structure of the pattern 51 and the film 121, and a P-channel transistor having the second gate electrode formed of the film 122 are formed.

COPYRIGHT: (C)1984, JPO&amp;Japio

⑨ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭59—125650

⑤ Int. Cl.<sup>3</sup>  
H 01 L 27/08  
29/78

識別記号

庁内整理番号  
6655—5F  
7377—5F

⑬ 公開 昭和59年(1984)7月20日

発明の数 2  
審査請求 有

(全 8 頁)

⑭ 半導体装置及びその製造方法

⑯ 特 願 昭58—840

⑰ 出 願 昭58(1983)1月7日

⑱ 発 明 者 小林博

川崎市幸区堀川町72番地東京芝  
浦電気株式会社堀川町工場内

⑲ 発 明 者 水谷嘉久

川崎市幸区堀川町72番地東京芝  
浦電気株式会社堀川町工場内

⑳ 出 願 人 株式会社東芝

川崎市幸区堀川町72番地

㉑ 代 理 人 弁理士 鈴江武彦 外 2 名

明 細 書

1. 発明の名称

半導体装置及びその製造方法

2. 特許請求の範囲

(1) 複数の島状素子領域を有する半導体基体と、前記複数の素子領域のうち所定の第1の素子領域に互いに電気的に分離して設けられたソース、ドレイン領域と、これらソース、ドレイン領域間に挟まれた部分を少なくとも含む領域上に絶縁膜を介して設けられた第1のゲート電極と、前記第1の素子領域に隣接する第2の素子領域に互いに電気的に分離して設けられたソース、ドレイン領域と、これらソース、ドレイン領域間に挟まれた部分を少なくとも含む領域上に絶縁膜を介して設けられた第2のゲート電極とを具備し、前記第1及び第2のゲート電極の少なくともそれぞれの素子領域に面する側を互いに仕事函数の異なるゲート電極材料により形成したことを特徴とする半導体装置。

(2) 第1のゲート電極の第1の素子領域に面

する側を仕事函数の小さい材料で形成するとともに、第1の島領域にN型ソース、ドレイン領域を配置し、一方、第2のゲート電極の第2の島領域に面する側を仕事函数の大きい材料で形成するとともに第2の島領域にP型ソース、ドレイン領域を配置したことを特徴とする特許請求の範囲第1項記載の半導体装置。

(3) 第1のゲート電極がN型多結晶シリコン膜と金属シリサイド膜との二層構造をなし、第2のゲート電極が金属シリサイド膜からなることを特徴とする特許請求の範囲第1項もしくは第2項記載の半導体装置。

(4) 第1のゲート電極がN型多結晶シリコン膜とP型多結晶シリコン膜との二層構造をなし、第2のゲート電極がP型多結晶シリコン膜からなることを特徴とする特許請求の範囲第1項もしくは第2項記載の半導体装置。

(5) 半導体基体に複数の島状領域を形成する工程と、これら素子領域表面にゲート絶縁膜となる絶縁膜を形成する工程と、全面に第1のゲ

ート電極材料を堆積した後、パターンニングして複数の素子領域のうち所定の第1の素子領域及び該第1の素子領域に隣接する第2の素子領域上に前記絶縁膜を介して第1のゲート電極材料パターンを形成する工程と、第1の素子領域上の第1のゲート電極材料パターンをマスクとして利用し、第1の素子領域に不純物のイオン注入を行ない、第2の素子領域上の第1のゲート電極材料パターンをマスクとして利用し、第2の素子領域に不純物のイオン注入を行なった後、第2の素子領域上の第1のゲート電極材料パターンの膜厚を減少させる工程と、第2の素子領域上の膜厚の薄い第1のゲート電極材料パターンをすべて該第1のゲート電極材料と仕事函数の異なる第2のゲート電極材料に変換して第2のゲート電極を形成するとともに第1の素子領域上の第1のゲート電極材料パターンを少なくとも第1の素子領域に面する側に第1のゲート電極材料が残存するようにその上層部を第2のゲート電極材料に変換して第1のゲート電極を

形成する工程と、熱処理により前記不純物イオン注入層を活性化させてそれぞれの素子領域にソース、ドレイン領域を形成する工程とを具備したことを特徴とする半導体装置の製造方法。

(6) 第1のゲート電極材料が一導電型の多結晶シリコンであり、全面に金属シリサイドを形成し得る金属を堆積した後、熱処理することにより、第2の素子領域上の膜厚の薄い多結晶シリコンパターンをすべて金属シリサイドに変換して第2のゲート電極を形成するとともに第1の素子領域上の多結晶シリコンパターンを少なくとも第1の素子領域に面する側に多結晶シリコンが残存するようにその上層部を金属シリサイドに変換して第1のゲート電極を形成することを特徴とする特許請求の範囲第5項記載の半導体装置の製造方法。

(7) 第1のゲート電極材料が一導電型の多結晶シリコンであり、逆導電型の不純物を拡散させることにより、第2の素子領域上の膜厚の薄い多結晶シリコンパターンをすべて逆導電型の

多結晶シリコンに変換して第2のゲート電極を形成するとともに第1の素子領域上の多結晶シリコンパターンを少なくとも第1の素子領域に面する側に一導電型の多結晶シリコンが残存するようにその上層部を逆導電型の多結晶シリコンに変換して第1のゲート電極を形成することを特徴とする特許請求の範囲第5項記載の半導体装置の製造方法。

### 3. 発明の詳細な説明

#### 〔発明の技術分野〕

本発明は半導体装置及びその製造方法に関し、特に相補型MOS(CMOS)半導体装置及びその製造方法に係る。

#### 〔発明の技術的背景とその問題点〕

相補型MOS(CMOS)半導体装置はNチャネルMOSトランジスタ及びPチャネルMOSトランジスタを同一半導体基板又は同一絶縁基板上に設けたもので、優れた低消費電力性を有する。こうしたCMOS半導体装置において、近年、低消費電力性ととも動作の高速性が求められ、こ

れに伴ってゲート電極や配線の材料として多結晶シリコンに替って低抵抗の金属又は金属シリサイドが用いられている。特に、金属シリサイドは多結晶シリコンと同様に半導体装置の製造工程での熱処理温度(1200℃程度)まで耐えることができ、しかも弗酸系のエッチング液やCF<sub>4</sub>プラズマを用いてエッチングできる。また、金属と異なり耐酸性を有するので硫酸、塩酸、王水等を用いて洗浄できるという長を有する。

ところで、CMOS半導体装置においてスイッチング動作を高速化するためには、上述したゲート電極及び配線を低抵抗化することのほかにトランジスタのしきい値電圧を低く設定することが必要である。

しかしながら、CMOS半導体装置においてゲート電極材料を多結晶シリコンから金属シリサイドに替えてもNチャネル及びPチャネルのMOSトランジスタのしきい値電圧を両者とも低く設定するという条件は満たされない。例えば、第1図にゲート絶縁膜として500Å厚さのSiO<sub>2</sub>

膜を用い、チャネル領域にイオン注入された不純物量とその時のしきい値電圧との関係を示す。前記不純物としてはNチャネルのMOSトランジスタにはボロンを、PチャネルのMOSトランジスタには砒素が用いられている。第1図中 $N_1$ はゲート電極としてN型多結晶シリコンを用いたNチャネルMOSトランジスタの特性線、 $N_2$ はゲート電極として $MoSi_2$ を用いた同トランジスタの特性線、 $P_1$ はゲート電極としてN型多結晶シリコンを用いたPチャネルMOSトランジスタの特性線、 $P_2$ はゲート電極として $MoSi_2$ を用いた同トランジスタの特性線である。第1図から明らかなようにゲート電極をN型多結晶シリコンから $MoSi_2$ に替えると、Nチャネル及びPチャネルのMOSトランジスタのしきい値電圧はともに正方向に約0.7Vシフトする。これは、N型多結晶シリコンと $MoSi_2$ との仕事函数差が約0.7Vあるためである。したがって、CMOS半導体装置のゲート電極を $MoSi_2$ で形成して低抵抗化を図ろうとするとNチャネル及びPチャネ

ルのMOSトランジスタのしきい値電圧を両者とも浅く設定することができず、高速化が制限されるという欠点があった。

#### 〔発明の目的〕

本発明は上記欠点を解消するためになされたものであり、ゲート電極を低抵抗化するとともにNチャネル及びPチャネルのMOSトランジスタのしきい値電圧を両者ともに浅く設定して高速化を達成し得るCMOS半導体装置等の半導体装置及びその製造方法を提供しようとするものである。

#### 〔発明の概要〕

本願第1の発明の半導体装置は第1及び第2のゲート電極の少なくともそれぞれの素子領域に面する側を互いに仕事函数の異なるゲート電極材料により形成し、Nチャネル及びPチャネルのMOSトランジスタのしきい値電圧を両者ともに浅く設定しようとするものである。こうした半導体装置としては例えば第1のゲート電極がN型多結晶シリコンと金属シリサイドの二層

構造をなし、第2のゲート電極が金属シリサイドからなり、第1のゲート電極がNチャネルMOSトランジスタの一構成部材であり、第2のゲート電極がPチャネルMOSトランジスタの一構成部材である構造のもの等を挙げることができる。

また、本願第2の発明の半導体装置の製造方法は第1及び第2の素子領域表面に絶縁膜を介して第1のゲート電極材料パターン(例えば多結晶シリコンパターン)を形成し、それぞれの素子領域に不純物をイオン注入した後、第2の素子領域上の第1のゲート電極材料パターンの膜厚を減少させ、更に第2の素子領域上の膜厚の薄い第1のゲート電極材料パターンをすべて該第1のゲート電極材料と仕事函数の異なる第2のゲート電極材料(例えば金属シリサイド)に変換して第2のゲート電極を形成するとともに第1の素子領域上の第1のゲート電極材料パターンを少なくとも第1の素子領域に面する側に第1のゲート電極材料が残存するようにその上層

部を第2のゲート電極材料に変換して第1のゲート電極を形成することにより、本願第1の発明におけるゲート電極構造を有する半導体装置を簡便に製造しようとするものである。

#### 〔発明の実施例〕

以下、本発明をCMOSインバータに適用した実施例を第2図(a)~(i)図示の製造方法を併記して説明する。

まず、N型シリコン基板1にP型ウェル領域2を形成した後、選択酸化法により例えば厚さ8000Åのフィールド酸化膜3を形成した。次に、このフィールド酸化膜3によって分離された島状の第1及び第2の素子領域表面に例えば厚さ300Åのゲート酸化膜となる熱酸化膜4を形成した(第2図(a)図示)。なお、ここで必要があれば、しきい値制御のためにウェル領域2にボロン等、ウェル領域2以外の基板1にリン等のチャネルイオン注入を行なってもよい。

次いで、全面に例えば砒素等のN型不純物を含む厚さ4000Åの多結晶シリコン膜を堆積し

た後、パターンニングしてN型多結晶シリコンパターン5<sub>1</sub>、5<sub>2</sub>を形成した(同図(b)図示)。

次いで、P型ウェル領域2以外の基板1上にホトレジストパターン6を形成した後、該ホトレジストパターン6及びP型ウェル領域2上のN型多結晶シリコンパターン5<sub>1</sub>をマスクとして例えば砒素を加速エネルギー40 keV、ドーズ量 $5 \times 10^{15}/\text{cm}^2$ の条件でイオン注入し、砒素イオン注入層7を形成した(同図(c)図示)。

次いで、前記ホトレジストパターン6を除去した後、P型ウェル領域2上にホトレジストパターン8を形成した。つづいて、該ホトレジストパターン8及びP型ウェル領域2以外の基板1上のN型多結晶シリコンパターン5<sub>2</sub>をマスクとしてボロンを加速エネルギー20 keV、ドーズ量 $5 \times 10^{15}/\text{cm}^2$ の条件でイオン注入し、ボロンイオン注入層9を形成した(同図(d)図示)。

次いで、前記ホトレジストパターン8をマスクとして反応性イオンエッチング法(RIE法)により前記P型ウェル領域2以外の基板1上の

N型多結晶シリコンパターン5<sub>2</sub>を最初の約半分の厚さ2000 ÅになるまでエッチングしてN型多結晶シリコンパターン5<sub>2</sub>'を形成した(同図(e)図示)。

次いで、前記ホトレジストパターン9を除去した後、全面に厚さ2000 ÅのCVD-SiO<sub>2</sub>膜10を堆積した(同図(f)図示)。

次いで、RIE法により該CVD-SiO<sub>2</sub>膜10をその膜厚分だけエッチングした。この時、前記N型多結晶シリコンパターン5<sub>1</sub>、5<sub>2</sub>'の側面に堆積したCVD-SiO<sub>2</sub>膜10は垂直方向の膜厚が厚いため、これらN型多結晶シリコンパターン5<sub>1</sub>、5<sub>2</sub>'の側面Kのみ残存CVD-SiO<sub>2</sub>膜10'…が形成された。これら残存CVD-SiO<sub>2</sub>膜10'…は後記するMoSi<sub>2</sub>膜のゲート電極側面への付着を防止する効果を有する(同図(g)図示)。

次いで、スパッタ法により全面に例えば厚さ2000 ÅのMo膜11を蒸着した後、1000℃のN<sub>2</sub>雰囲気中で15分間熱処理し、Moと多結晶シリコンとを反応させた。この際、前記N型

多結晶シリコンパターン5<sub>1</sub>はその上半分だけがMoSi<sub>2</sub>膜12<sub>1</sub>となる。一方、前記N型多結晶シリコンパターン5<sub>2</sub>'は完全にMoSi<sub>2</sub>膜12<sub>2</sub>となる。なお、この工程においてN型多結晶シリコンパターン5<sub>1</sub>、5<sub>2</sub>'の側面Kには残存CVD-SiO<sub>2</sub>膜10'…が存在するため、これら側面でのMoSi<sub>2</sub>膜の形成を阻止できる。また、この熱処理により前記砒素イオン注入層7が活性化してウェル領域2にN<sup>+</sup>型ソース、ドレイン領域13、14が、前記ボロンイオン注入層9が活性化してウェル領域2以外の基板1にP<sup>+</sup>型ソース、ドレイン領域15、16がそれぞれ形成された。こうした工程によりウェル領域2にN型多結晶シリコンパターン5<sub>1</sub>とMoSi<sub>2</sub>膜12<sub>1</sub>との二層構造をなした第1のゲート電極を構成部材とするNチャネルトランジスタが、ウェル領域2以外の基板1にMoSi<sub>2</sub>膜12<sub>2</sub>からなる第2のゲート電極を構成部材とするPチャネルトランジスタがそれぞれ形成された(同図(h)図示)。

次いで、未反応のMo膜11を王水で除去し

た後、全面に例えば厚さ3000 ÅのCVD-SiO<sub>2</sub>膜17を堆積し、コンタクトホール18、…を開孔した。つづいて、全面にAl-Si膜を蒸着した後、パターンニングして配線19、…を形成し、CMOSインバータを製造した(同図(i)図示)。

しかして、本発明のCMOSインバータは第2図(i)に示す如く、P型ウェル領域2の島状の第1の素子領域に互いに電気的に分離されたN<sup>+</sup>型のソース、ドレイン領域13、14を設け、これらソース、ドレイン領域13、14間に挟まれた部分を少なくとも含む領域上に熱酸化膜4を介してN型多結晶シリコンパターン5<sub>1</sub>とMoSi<sub>2</sub>膜12<sub>1</sub>との二層構造をなす第1のゲート電極を設け、かつ前記P型ウェル領域2以外のN型シリコン基板1の島状の第2の素子領域に互いに電気的に分離されたP<sup>+</sup>型のソース、ドレイン領域15、16を設け、これらソース、ドレイン領域15、16間に挟まれた部分を少なくとも含む領域上に熱酸化膜4を介してMoSi<sub>2</sub>膜12<sub>2</sub>からなる第2のゲート電極を設けた構造

となっている。つまり、P型ウェル領域2の第1の素子領域に形成されたNチャネルMOSトランジスタのしきい値電圧は第1のゲート電極の下層、すなわち素子領域に面する側のN型多結晶シリコン5<sub>1</sub>の仕事函数により決定され、一方、P型ウェル領域2以外の基板1の第2の素子領域に形成されたPチャネルMOSトランジスタのしきい値電圧は第2のゲート電極であるMoSi<sub>2</sub>膜1<sub>2</sub>の仕事函数により決定される。したがって、既述した第1図の特性図に示す如く、NチャネルMOSトランジスタ及びPチャネルMOSトランジスタのしきい値電圧をともに浅く設定することができ、スイッチング動作の高速化を達成できる。また、第2のゲート電極はMoSi<sub>2</sub>膜1<sub>2</sub>のみによって形成され、第1のゲート電極も上層にMoSi<sub>2</sub>膜1<sub>2</sub>が形成されており、これらのシート抵抗値はN型多結晶シリコンのみで形成されている場合の30～50Ωcmから2～3Ωcmへと低減することができ、信号伝搬遅延時間の大幅な短縮を図ることができる。

ウェル領域以外の基板上でMoSi<sub>2</sub>膜からなる第2のゲート電極を形成する。以下、ホトレジストパターンを除去した後、通常の工程に従いN<sup>+</sup>型ソース、ドレイン領域、P<sup>+</sup>型ソース、ドレイン領域、配線等を形成してCMOSインバータを製造する。

すなわち、この方法ではN型多結晶シリコンとMoSi<sub>2</sub>膜の二層構造をなす第1のゲート電極とMoSi<sub>2</sub>膜からなる第2のゲート電極を形成するために通常のCMOS製造工程よりも一回余分に写真蝕刻工程が必要となり、歩留りが低下するおそれがある。

これに対して上記実施例で用いた方法では第2図(b)図示の工程でN型多結晶シリコンパターン5<sub>1</sub>、5<sub>2</sub>を形成すれば、同図(c)及び(d)図示のイオン注入工程を経た後、更に同図(e)図示のRIEにより多結晶シリコンパターン5<sub>2</sub>の膜厚を約半分に減少させる工程、同図(f)及び(g)図示のRIEによりN型多結晶シリコンパターン5<sub>1</sub>、5<sub>2</sub>'の側面にCVD-SiO<sub>2</sub>膜1<sub>0</sub>'、…を残存させる工程

また、本発明のCMOSインバータのように第1のゲート電極がN型多結晶シリコンとMoSi<sub>2</sub>との二層構造をなし、第2のゲート電極がMoSi<sub>2</sub>からなる構造の半導体装置を製造する方法としては上記実施例で用いた方法以外に例えば以下のような方法が考えられる。

まず、第2図(a)図示のようにN型シリコン基板にP型ウェル領域を形成した後、フィールド酸化膜を形成し、更にゲート酸化膜となる熱酸化膜を形成する。次に、全面にN型多結晶シリコン膜を堆積した後、P型ウェル領域上を覆うホトレジストパターンを形成し、これをマスクとしてP型ウェル領域以外の基板上のN型多結晶シリコン膜をエッチングする。つづいて、前記ホトレジストパターンを除去した後、全面にスパッタ法によりMoSi<sub>2</sub>膜を堆積する。つづいて、ホトレジストパターンを用いてMoSi<sub>2</sub>膜及びN型多結晶シリコン膜を順次パターンニングしてP型ウェル領域上でN型多結晶シリコンとMoSi<sub>2</sub>膜の二層構造をなす第1のゲート電極を、

を経て、同図(h)図示のN型多結晶シリコンパターン5<sub>1</sub>、5<sub>2</sub>'とMo膜1<sub>1</sub>との反応によりN型多結晶シリコンパターン5<sub>1</sub>とMoSi<sub>2</sub>膜1<sub>2</sub>の二層構造をなす第1のゲート電極とMoSi<sub>2</sub>膜1<sub>2</sub>からなる第2のゲート電極を形成することができる。

したがって、上記実施例で用いた方法では通常のCMOS製造工程と写真蝕刻工程の回致が同じであり大幅に歩留りが低下するおそれがない。また、RIE等を用いた比較的簡便な工程を追加するだけで第2図(i)図示のスイッチング動作の高速化したCMOSインバータを製造することができる。

なお、本発明に係る半導体装置は第2図(i)図示の構造に限定されず、例えば第3図あるいは第4図図示の構造にしてもよい。ただし、第2図(i)と同一部材には同一番号を付して説明を省略する。

すなわち、第3図図示のCMOSインバータは、P型ウェル領域2のN<sup>+</sup>型ソース、ドレイン領域

13, 14及びP型ウェル領域2以外の基板1のP<sup>+</sup>型ソース、ドレイン領域15, 16の表面にMoSi<sub>2</sub>膜20、…を設けた構造となっている。なお、MoSi<sub>2</sub>膜20、…を形成するには上記実施例の第2図(h)図示の工程でMo膜11を蒸着する前にN型多結晶シリコンパターン51, 52'をマスクとして熱酸化膜4を除去してN<sup>+</sup>型ソース、ドレイン領域13, 14及びP<sup>+</sup>型ソース、ドレイン領域15, 16を露出させた後、全面にMo膜11を蒸着し、熱処理することにより、MoSi<sub>2</sub>膜121, 122と同時に形成することができる。このような構成によればN<sup>+</sup>型ソース、ドレイン領域13, 14及びP<sup>+</sup>型ソース、ドレイン領域15, 16の抵抗値を大幅に低減でき、より一層の高速動作を達成できる。特に、素子が微細化され、ソース、ドレイン領域13, 14, 15, 16の接合深さが減少した場合有効である。

また、第5図図示のCMOSインバータは絶縁基板、例えばサファイア基板31上に第1の素

子領域となるP型シリコン層32及び第2の素子領域となるN型シリコン層33を設け、前記P型シリコン層32にN<sup>+</sup>型ソース、ドレイン領域34, 35を、前記N型シリコン層33にP<sup>+</sup>型ソース、ドレイン領域36, 37をそれぞれ形成した構造のSOS-CMOSインバータである。

また、上記実施例のCMOSインバータは第1のゲート電極がN型多結晶シリコンと金属シリサイドの二層構造をなし、第2のゲート電極が金属シリサイドからなる構造であったが、これに限らず第1のゲート電極がN型多結晶シリコンとP型多結晶シリコンの二層構造をなし、第2のゲート電極がP型多結晶シリコンからなる構造でもよい。

こうした構造のCMOSインバータではNチャネルMOSトランジスタのしきい値電圧は第1のゲート電極の下層のN型多結晶シリコンの仕事函数により決定され、一方、PチャネルMOSトランジスタのしきい値電圧は第2のゲート電極であるP型多結晶シリコンの仕事函数により決定される。このようにPチャネルMOSトランジスタのゲート電極としてP型多結晶シリコンを用いた場合にはN型多結晶シリコンを用いた場合に比べてしきい値電圧を正方向に約1.0Vシフトできる。したがって、上記実施例と同様にNチャネルMOSトランジスタ及びPチャネルMOSトランジスタのしきい値電圧をともに浅く設定することができ、スイッチング動作を高速化することができる。

こうした構造のCMOSインバータではNチャ

ネルMOSトランジスタのしきい値電圧は第1のゲート電極の下層のN型多結晶シリコンの仕事函数により決定され、一方、PチャネルMOSトランジスタのしきい値電圧は第2のゲート電極であるP型多結晶シリコンの仕事函数により決定される。このようにPチャネルMOSトランジスタのゲート電極としてP型多結晶シリコンを用いた場合にはN型多結晶シリコンを用いた場合に比べてしきい値電圧を正方向に約1.0Vシフトできる。したがって、上記実施例と同様にNチャネルMOSトランジスタ及びPチャネルMOSトランジスタのしきい値電圧をともに浅く設定することができ、スイッチング動作を高速化することができる。

更に、この後双方のゲート電極上面に金属または金属シリサイドを形成し、第1のゲート電極を三層構造、第2のゲート電極を二層構造としてもよい。こうした構造にすればゲート電極の低抵抗化を達成することができる。

〔発明の効果〕

以上詳述した如く、本発明によればゲート電極を低抵抗化するとともにNチャネル及びPチャネルのMOSトランジスタのしきい値電圧を両者ともに浅く設定して高速化を達成し得るCMOS半導体装置等の半導体装置及びその製造方法を提供できるものである。

#### 4. 図面の簡単な説明

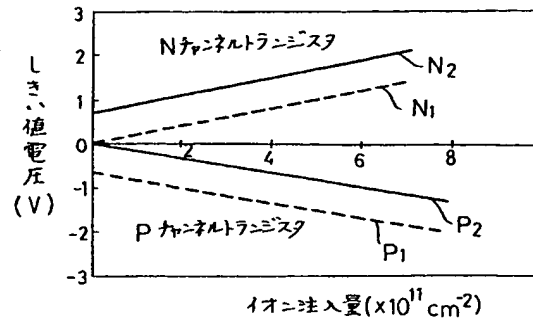
第1図はゲート電極材料としてN型多結晶シリコン及びMoSi<sub>2</sub>を用いた場合におけるNチャネル及びPチャネルのMOSトランジスタのチャネルイオン注入量としきい値電圧との関係を示す特性図、第2図(a)～(i)は本発明の実施例にお

このような構造のCMOSインバータは上記実施例と第2図(g)図示の工程まで同一の工程を経た後、N型多結晶シリコンパターン51, 52'のN型不純物濃度を上回る濃度のP型不純物を例えば熱拡散によりドーピングすることにより、N型多結晶シリコンパターン52'はすべてP型とし、

けるCMOSインバータを得るための製造工程を示す断面図、第3図は本発明の他の実施例におけるCMOSインバータを示す断面図、第4図は本発明の他の実施例におけるSOS-CMOSインバータを示す断面図である。

1…N型シリコン基板、2…P型ウェル領域、3…フィールド酸化膜、4…熱酸化膜、5<sub>1</sub>、5<sub>2</sub>、5<sub>1</sub>'…多結晶シリコンパターン、6、8…ホトレジストパターン、7…砒素イオン注入層、9…ボロンイオン注入層、10…CVD-SiO<sub>2</sub>膜、10'…残存CVD-SiO<sub>2</sub>膜、11…Mo膜、12<sub>1</sub>、12<sub>2</sub>…MoSi<sub>2</sub>膜、13、14…N<sup>+</sup>型ソース、ドレイン領域、15、16…P<sup>+</sup>型ソース、ドレイン領域、17…CVD-SiO<sub>2</sub>膜、18…コンタクトホール、19…配線、20…MoSi<sub>2</sub>膜、21…P型シリコン基板、22、23、24、25…N<sup>+</sup>型ソース、ドレイン領域、31…サファイア基板、32…P型シリコン層、33…N型シリコン層、34、35…N<sup>+</sup>型ソース、ドレイン領域、36、37…P<sup>+</sup>型ソース、ドレイン領域。

第1図



第2図

